

最終審査中

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-101831

(43) 公開日 平成9年(1997)4月15日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 F 3/24		4237-5H	G 0 5 F 3/24	Z
H 0 3 F 3/345			H 0 3 F 3/345	B

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21) 出願番号 特願平7-284370

(22) 出願日 平成7年(1995)10月6日

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72) 発明者 戸住 泰和

東京都豊島区西池袋1丁目17番10号 株式会社エヌ・ジェイ・アールセミコンダクタ内

(72) 発明者 久野 剛義

東京都豊島区西池袋1丁目17番10号 株式会社エヌ・ジェイ・アールセミコンダクタ内

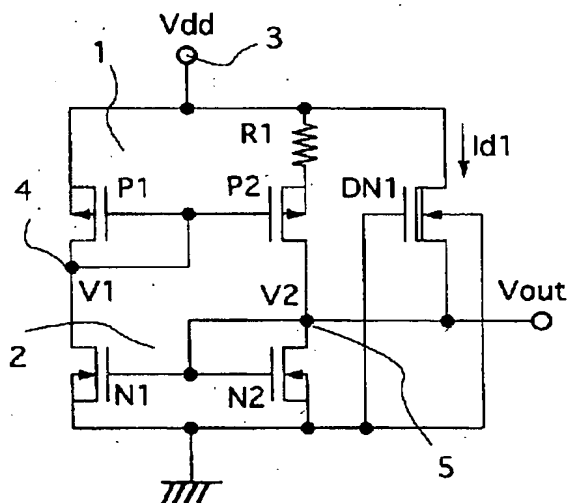
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 バイアス回路

(57) 【要約】

【課題】 立ち上がり的高速化、低消費電力化、チップサイズ縮小化

【解決手段】 pMOSトランジスタP1、P2、nMOSトランジスタN1、N2および抵抗R1で構成したバイアス回路において、デプレッション型のnMOSトランジスタDN1のドレインを電源端子に接続すると共にソースをノード5に接続し、ゲートとバックゲートを接地に接続して構成した。



## 【特許請求の範囲】

【請求項1】ゲートを共通接続したエンハンスメント型の第1のpMOSトランジスタと第2のpMOSトランジスタ、およびゲートを共通接続したエンハンスメント型の第1のnMOSトランジスタと第2のnMOSトランジスタを備え、上記第1のpMOSトランジスタのゲートおよびドレインと上記第1のnMOSトランジスタのドレインを第1のノードに共通接続し、上記第2のpMOSトランジスタのドレインと上記第2のnMOSトランジスタのゲートおよびドレインを第2のノードに共通接続し、上記第1のpMOSトランジスタのソースを電源端子に接続すると共に上記第2のpMOSトランジスタのソースを第1の抵抗を介して上記電源端子に接続し、且つ上記第1および第2のnMOSトランジスタのソースを接地に接続し、上記第2のノードを出力端子とするバイアス回路において、

ソースを上記第2のノードに、ドレインを上記電源端子に、ゲートおよびバックゲートを上記接地に、各々接続したデブリジョン型のnMOSトランジスタを具備することを特徴とするバイアス回路。

【請求項2】ゲートを共通接続したエンハンスメント型の第3のpMOSトランジスタと第4のpMOSトランジスタ、およびゲートを共通接続したエンハンスメント型の第3のnMOSトランジスタと第4のnMOSトランジスタを備え、上記第3のpMOSトランジスタのゲートおよびドレインと上記第3のnMOSトランジスタのドレインを第3のノードに共通接続し、上記第4のpMOSトランジスタのドレインと上記第4のnMOSトランジスタのゲートおよびドレインを第4のノードに共通接続し、上記第3および第4のpMOSトランジスタのソースを電源端子に接続し、且つ上記第3のnMOSトランジスタのソースを接地に接続すると共に上記第4のnMOSトランジスタのソースを第2の抵抗を介して上記接地に接続し、上記第3のノードを出力端子とするバイアス回路において、

ソースを上記第4のノードに、ドレインを上記接地に、ゲートおよびバックゲートを上記電源端子に、各々接続したデブリジョン型のpMOSトランジスタを具備することを特徴とするバイアス回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、オペアンプ、レギュレータ、ディテクタ等の回路等にバイアス電圧（定電圧）を与えるためのバイアス回路（別名：定電圧回路）に係り、特に電源投入時の立ち上りの高速化および消費電流の削減を図ったバイアス回路に関するものである。

## 【0002】

【従来の技術】従来のバイアス回路の一例を図5に示す。このバイアス回路はp型基板に構成したものであ

る。エンハンスメント型のpMOSトランジスタP1とpMOSトランジスタP2は第1のカレントミラー回路1を構成し、エンハンスメント型のnMOSトランジスタN1とnMOSトランジスタN2は第2のカレントミラー回路2を構成する。

【0003】そして、この両カレントミラー回路1、2は電源電圧V<sub>dd</sub>が印加される電源端子3と接地との間に、pMOSトランジスタP1のゲート・ドレインとnMOSトランジスタN1のドレインがノード4に共通接続され、pMOSトランジスタP2のドレインとnMOSトランジスタN2のゲート・ドレインがノード5に共通接続されるように、接続されている。pMOSトランジスタP2のソースと電源端子3との間に接続された第1の抵抗R1は動作電流を決めるためのものである。

【0004】このバイアス回路では、電源投入によりノード4の電圧V<sub>1</sub>が電源端子3の電源電圧V<sub>dd</sub>の上昇に追従して上がっていくが、ノード5の電圧V<sub>2</sub>（=V<sub>out</sub>）は逆に接地電位となるため、pMOSトランジスタP1、P2、nMOSトランジスタN1、N2ともにオフした状態となる。しかし、実際には各MOSトランジスタはリーク電流によりゲート・ソース間がチャージされ、pMOSトランジスタP1、P2、nMOSトランジスタN1、N2のいずれかがオンして動作を開始する。

【0005】図6はこの図5のバイアス回路の各点の電圧の立ち上がりのシミュレーション結果を示す図である。これによれば、電源投入により電源電圧V<sub>dd</sub>が上昇を開始してから160msec程度時間が経過して初めて、ノード5の電圧V<sub>2</sub>（=V<sub>out</sub>）が定常状態（定電圧）に落ち着いている。なお、pMOSトランジスタP1、P2のしきい値電圧は-0.5V、nMOSトランジスタN1、N2のしきい値電圧は0.5V、抵抗R1の抵抗値は1.25MΩとした。このように、図5に示した従来回路では、ノード5の電圧V<sub>2</sub>（=V<sub>out</sub>）が定常状態に落ち着くまで長い時間がかかり、立ち上がりが遅いという問題があった。

【0006】一方、図7はn型基板に構成したバイアス回路を示す図である。この図7のバイアス回路では、エンハンスメント型のpMOSトランジスタP3とpMOSトランジスタP4は第3のカレントミラー回路6を構成し、エンハンスメント型のnMOSトランジスタN3とnMOSトランジスタN4は第2のカレントミラー回路7を構成する。

【0007】そして、この両カレントミラー回路6、7は電源電圧V<sub>dd</sub>が印加される電源端子8と接地との間に、pMOSトランジスタP3のゲート・ドレインとnMOSトランジスタN3のドレインがノード9に共通接続され、pMOSトランジスタP4のドレインとnMOSトランジスタN4のゲート・ドレインがノード10に共通接続されるように、接続されている。nMOSトラ

ンジスタN4のソースと接地との間に接続された第2の抵抗R2は、動作電流を決めるためのものである。

【0008】図8はこの図7のバイアス回路の各点の電圧の立ち上がりのシミュレーション結果を示す図である。なお、pMOSトランジスタP3、P4のしきい値電圧は $-0.5\text{V}$ 、nMOSトランジスタN3、N4のしきい値電圧は $0.5\text{V}$ 、抵抗R2の抵抗値は $1.25\text{M}\Omega$ である。前述した図6とほぼ同様に、電源投入により電源電圧V<sub>dd</sub>が上昇を開始してから $160\text{msec}$ 程度時間が経過して初めて、ノード9の電圧V<sub>3</sub>(=V<sub>out</sub>)が定常状態(定電圧)に落ち着き、立ち上がりが遅いという問題があった。

【0009】そこで、図9に示すように、図5に示したバイアス回路のノード5と電源端子3との間に起動抵抗R3を接続して、nMOSトランジスタN1、N2のゲートに電源投入の当初から高電圧を印加できるようにした改良型のバイアス回路が提案されている。なお、この起動抵抗R3の抵抗値は、そこに流れる電流が抵抗R1-pMOSトランジスタP2-nMOSトランジスタN2のルートを流れる動作電流より十分小さくなるよう設定される。

【0010】このバイアス回路では、ノード5の電圧V<sub>2</sub>(=V<sub>out</sub>)が図10の立ち上がりのシミュレーション結果に示すように $50\text{msec}$ 程度、つまり図5に示したバイアス回路の場合の $1/3$ 程度の短い時間で定常状態に落ち着いている。なお、抵抗R3は $80\text{M}\Omega$ とした。

【0011】また、図11に示すように、図7に示したバイアス回路のノード10と接地との間に起動抵抗R4を接続して、pMOSトランジスタP3、P4のゲートを電源投入の当初から低電圧に保持した改良型のバイアス回路が提案されている。なお、この起動抵抗R4の抵抗値は、そこに流れる電流がpMOSトランジスタP4-nMOSトランジスタN4-抵抗R2のルートを流れる動作電流より十分小さくなるよう設定される。

【0012】このバイアス回路でも、ノード9の電圧V<sub>3</sub>(=V<sub>out</sub>)が図12の立ち上がりのシミュレーション結果に示すように $50\text{msec}$ 程度、つまり図7に示したバイアス回路の場合の $1/3$ 程度の短い時間で定常状態に落ち着いている。抵抗R4は $80\Omega$ とした。

【0013】

【発明が解決しようとする課題】しかしながら、上記図9、図11に示したバイアス回路では、起動抵抗R3、R4が常時接続された状態であるので、起動の後もそこを電流I<sub>a</sub>、I<sub>b</sub>が流れるという問題がある。起動抵抗R3=R4= $80\text{M}\Omega$ であるので、電源電圧が $5.5\text{V}$ に達したとき、いずれの場合も、ほぼ $60\text{nA}$ の電流が流れて、消費電流が大きくなるという問題があった。また、この起動抵抗の値は相当な大きな値であり、半導体集積回路上に構成するにはかなり大きな面積を必要と

し、チップサイズの縮小化の妨げともなっていた。

【0014】本発明の目的は、上記した問題を解決して、消費電流増大を招くことなく、しかもチップサイズ拡大も招くことなく、立ち上がり時間を短縮化したバイアス回路を提供することである。

【0015】

【課題を解決するための手段】第1の発明は、ゲートを共通接続したエンハンスメント型の第1のpMOSトランジスタと第2のpMOSトランジスタ、およびゲートを共通接続したエンハンスメント型の第1のnMOSトランジスタと第2のnMOSトランジスタを備え、上記第1のpMOSトランジスタのゲートおよびドレインと上記第1のnMOSトランジスタのドレインを第1のノードに共通接続し、上記第2のpMOSトランジスタのドレインと上記第2のnMOSトランジスタのゲートおよびドレインを第2のノードに共通接続し、上記第1のpMOSトランジスタのソースを電源端子に接続すると共に上記第2のpMOSトランジスタのソースを第1の抵抗を介して上記電源端子に接続し、且つ上記第1および第2のnMOSトランジスタのソースを接地に接続し、上記第2のノードを出力端子とするバイアス回路において、ソースを上記第2のノードに、ドレインを上記電源端子に、ゲートおよびバックゲートを上記接地に、各々接続したデプリション型のnMOSトランジスタを具備することを特徴とするバイアス回路として構成した。

【0016】第2の発明は、ゲートを共通接続したエンハンスメント型の第3のpMOSトランジスタと第4のpMOSトランジスタ、およびゲートを共通接続したエンハンスメント型の第3のnMOSトランジスタと第4のnMOSトランジスタを備え、上記第3のpMOSトランジスタのゲートおよびドレインと上記第3のnMOSトランジスタのドレインを第3のノードに共通接続し、上記第4のpMOSトランジスタのドレインと上記第4のnMOSトランジスタのゲートおよびドレインを第4のノードに共通接続し、上記第3および第4のpMOSトランジスタのソースを電源端子に接続し、且つ上記第3のnMOSトランジスタのソースを接地に接続すると共に上記第4のnMOSトランジスタのソースを第2の抵抗を介して上記接地に接続し、上記第3のノードを出力端子とするバイアス回路において、ソースを上記第4のノードに、ドレインを上記接地に、ゲートおよびバックゲートを上記電源端子に、各々接続したデプリション型のpMOSトランジスタを具備することを特徴とするバイアス回路として構成した。

【0017】

【発明の実施の形態】

【第1の実施の形態】図1は第1の実施の形態のバイアス回路を示す回路図である。これはp基板を使用した図5のバイアス回路に改良を加えたものであり、図5に示

したものと同じのものには同一の符号を付してその詳しい説明は省略する。ここでは、起動用素子としてデブリジョン型のnMOSトランジスタDN1を使用する。そして、このMOSトランジスタDN1のドレインを電源端子3に接続すると共にソースをノード5に接続し、ゲートを接地に接続する。さらに、バックゲートをソースから分離して接地に接続する。

【0018】このバイアス回路では、電源投入時には、ノード5は接地電位と同じであり、この瞬間はnMOSトランジスタDN1はソースとバックゲートが同電位で基板バイアス効果を持たないため、そのしきい値電圧は小さく、そのnMOSトランジスタDN1はオンする。

【0019】この結果、ノード5の電圧V2が電源電圧Vddと同じになり、nMOSトランジスタN1、N2がオンして、動作を開始する。しかし、この電源電圧Vddが上昇するにつれてノード5の電圧V2、つまりnMOSトランジスタDN1のソースの電圧が上昇し、バックゲートとの間の電位差が徐々に大きくなり、基板バイアス効果によりしきい値電圧が大きくなる。

【0020】このため、ノード5の電圧V2がある電圧に達するとnMOSトランジスタDN1は実質的にオフして、それ以上に電源電圧Vddが上昇を続けても、そのnMOSトランジスタDN1のドレイン電流は増大しなくなる。

【0021】以上の立ち上がりのシミュレーション結果を図2に示した。なお、nMOSトランジスタDN1のしきい値電圧は $-0.3\text{V}$ とした。nMOSトランジスタDN1のドレイン電流Id1は電源投入の当初大きく流れている（と言っても、たかだか $260\text{pA}$ 程度と小さい）が、その後は $20\text{pA}$ 程度とリーク電流程度に非常に小さくなっている。この起動の後の電流は、起動抵抗R3を使用した図9に示したバイアス回路の場合と比較して、電源電圧Vdd= $5.5\text{V}$ において、 $20\text{pA}/60\text{nA}=1/3000$ 倍に低減されている。また、ノード5の電圧V2(=Vout)の立ち上がりは、起動抵抗R3を使用した図9のバイアス回路の場合と同程度に、 $50\text{msec}$ 程度と迅速化されていることが分かる。

【0022】〔第2の実施の形態〕図3は第2の実施の形態のバイアス回路を示す回路図である。これはn基板を使用した図7のバイアス回路に改良を加えたものであり、図7に示したものと同一のものには同一の符号を付してその詳しい説明は省略する。ここでは、起動用素子としてデブリジョン型のpMOSトランジスタDP1を使用する。そして、このpMOSトランジスタDP1のソースをノード10に接続すると共にドレインを接地に接続し、ゲートを電源端子8に接続する。さらに、バックゲートをソースから分離して電源端子8に接続する。

【0023】このバイアス回路では、電源投入時には、ノード10は電源電圧Vddと同じであり、この瞬間は

pMOSトランジスタDP1はソースとバックゲートとが同電位で基板バイアス効果を持たないため、そのしきい値電圧は小さく、そのpMOSトランジスタDP1はオンする。

【0024】この結果、ノード10が接地電位と同じになり、よってpMOSトランジスタP3、P4がオンして、動作を開始する。しかし、電源電圧Vddが上昇するにつれてノード10の電圧V4、つまりpMOSトランジスタDP1のソースの電圧が下降し、バックゲートとの間の電位差が徐々に大きくなり、基板バイアス効果によりしきい値電圧が大きくなる。

【0025】このため、ノード10の電圧V4がある電圧に下降するとpMOSトランジスタDP1は実質的にオフして、それ以上に電源電圧Vddが上昇を続けても、そのpMOSトランジスタDP1のドレイン電流は増大しなくなる。

【0026】以上の立ち上がりのシミュレーション結果を図4に示した。pMOSトランジスタDP1のしきい値電圧は $0.3\text{V}$ とした。pMOSトランジスタDP1のドレイン電流Id2は電源投入の当初大きく流れている（と言っても、たかだか $80\text{pA}$ 程度と小さい）が、その後は $10\sim 20\text{pA}$ とリーク電流程度に非常に小さくなっている。この起動の後の電流は、起動抵抗R4を使用した図11に示したバイアス回路の場合と比較して、電源電圧Vdd= $5.5\text{V}$ において、 $20\text{pA}/60\text{nA}=1/3000$ 倍に低減されている。また、ノード3の電圧V3(=Vout)の立ち上がりは、起動抵抗R4を使用した図11のバイアス回路の場合と同様に、 $50\text{msec}$ 程度と迅速化されていることが分かる。

【0027】〔その他の実施の態様〕なお、上記した図1、図3に示す回路の定数はこれに限られるものでないことはもちろんであり、種々変更可能である。

【0028】

【発明の効果】以上のように、第1、第2の発明によれば、デブリジョン型のMOSトランジスタを起動用素子として使用し、電源投入時の瞬時間だけ動作して僅かな起動電流を流し、通常動作時には動作しないようにしたので、この部分で不要な電流が消費されることを防止でき、また特別な高い値の抵抗を必要としないのでチップサイズが拡大する恐れもなく、迅速な立ち上がりを実現できるようになるという利点がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態のバイアス回路を示す回路図である。

【図2】 図1のバイアス回路の立ち上がりのシミュレーション結果を示す動作特性図である。

【図3】 本発明の第2の実施の形態のバイアス回路を示す回路図である。

【図4】 図3のバイアス回路の立ち上がりのシミュレ

ーション結果を示す動作特性図である。

【図5】 従来のp型基板に構成したバイアス回路の回路図である。

【図6】 図5のバイアス回路の立ち上がりのシミュレーション結果を示す動作特性図である。

【図7】 従来のn型基板に構成したバイアス回路の回路図である。

【図8】 図7のバイアス回路の立ち上がりのシミュレーション結果を示す動作特性図である。

【図9】 従来のp型基板に構成した改良型のバイアス回路の回路図である。

【図10】 図9のバイアス回路の立ち上がりのシミュレーション結果を示す動作特性図である。

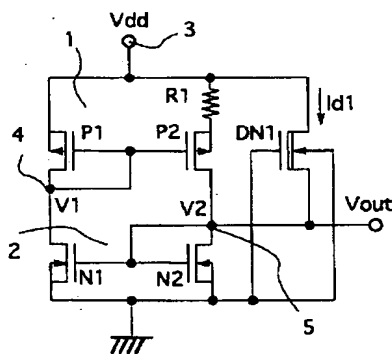
【図11】 従来のn型基板に構成した改良型のバイアス回路の回路図である

【図12】 図11のバイアス回路の立ち上がりのシミュレーション結果を示す動作特性図である。

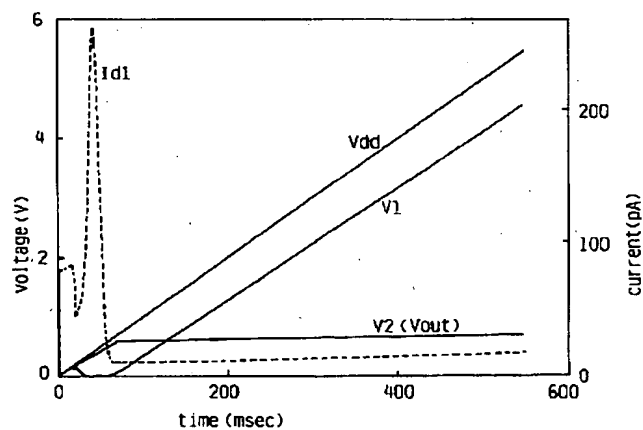
【符号の説明】

1：第1のカレントミラー回路、2：第2のカレントミラー回路、3：電源端子、4：第1のノード、5：第2のノード、R1：第1の抵抗、DN1：デプリション型のnMOSトランジスタ、6：第3のカレントミラー回路、7：第4のカレントミラー回路、8：電源端子、9：第3のノード、10：第4のノード、R2：第2の抵抗、DP1：デプリション型のpMOSトランジスタ。

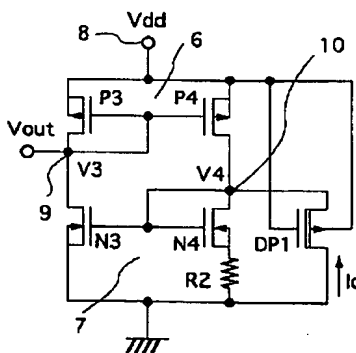
【図1】



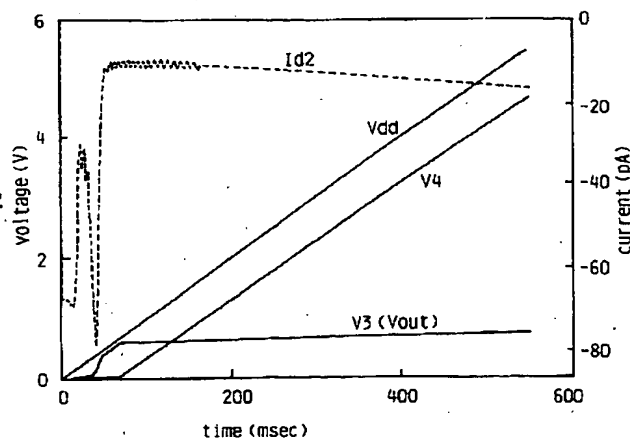
【図2】



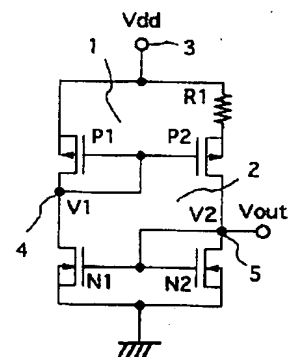
【図3】



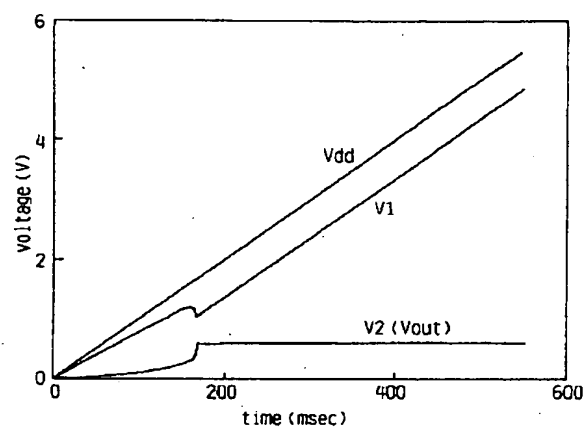
【図4】



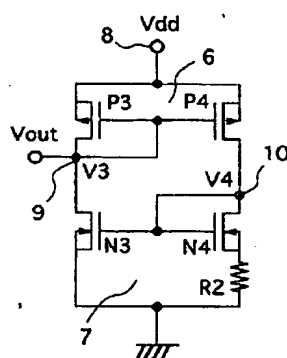
【図5】



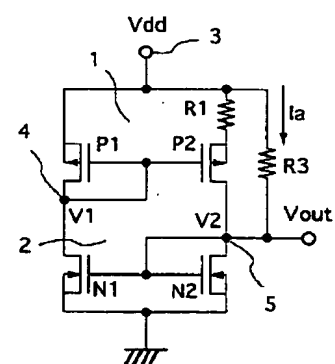
【図6】



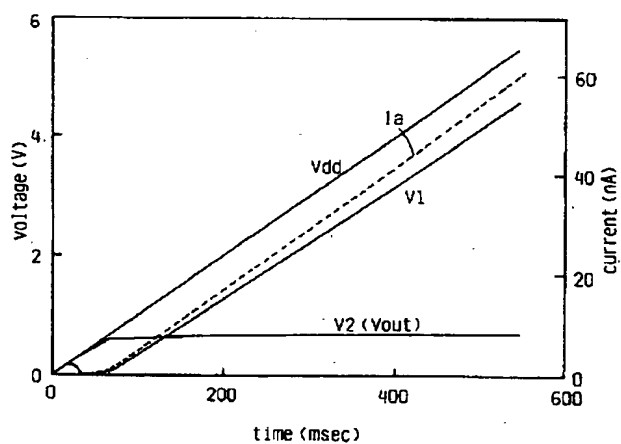
【図7】



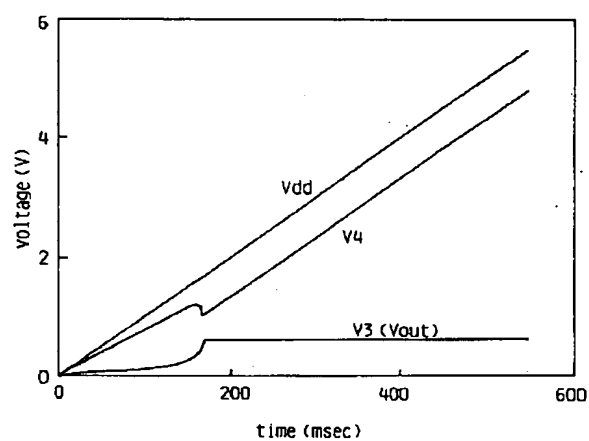
【図9】



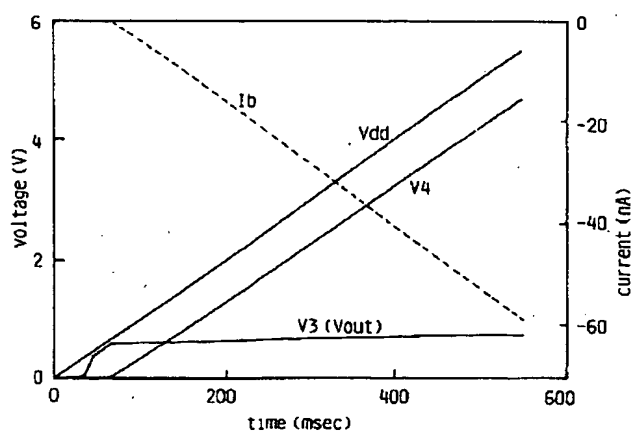
【図10】



【図8】



【図12】



【図11】

